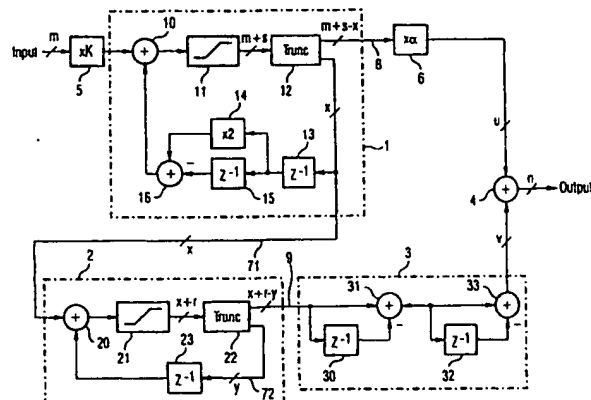


**Veröffentlicht**  
Mit internationalem Recherchenbericht.  
Vor Ablauf der für Änderungen der Ansprüche zugelassenen  
Frist; Veröffentlichung wird wiederholt falls Änderungen  
eintreffen.

**(54) Bezeichnung:** SCHALTUNGSANORDNUNG ZUR QUANTISIERUNG DIGITALER SIGNALE UND FILTERUNG DES QUANTISIERUNGSRÄUSCHENS

The invention relates to a circuit configuration for quantisation of digital signals and for filtering quantisation noise. Said circuit configuration comprises a multitude of digital control loops connected in series and having quantisers. The digital signals having a word length of  $m$ -bits are fed to a first control loop in the series. The quantisation error signal of each quantiser is filtered and fed back to the corresponding digital control loop. It is then fed to a downstream digital control loop. The quantised output signal of the first digital control loop is adapted to a third word length of  $u$ -bits which is smaller than the first word length. Except for the quantised output signal of the first digital control loop, the quantised output signals of the digital control loops of the series are respectively filtered by a digital filter. In an adder, said quantised output signals are then added to the first quantised output signal of the first digital control loop of the series to prevent quantisation error. The output signal of the adder represents the quantised output signal of the circuit configuration.



The output signal of the adder has a second word length of  $n$ -bits and

## Beschreibung

Schaltungsanordnung zur Quantisierung digitaler Signale und Filterung des Quantisierungsrauschens

5

Die Erfindung betrifft eine Schaltungsanordnung zur Quantisierung digitaler Signale und Filterung des Quantisierungsrauschens nach dem Oberbegriff von Patentanspruch 1.

- 10 Überabtastende Digital-Analog-Umsetzer, die nach dem Sigma-Delta-Verfahren arbeiten, weisen ein Interpolationsfilter zur Abtastratenerhöhung, eine nachgeschaltete Schaltungsanordnung zur Quantisierung und Filterung des Quantisierungsrauschens (Noise-Shaping-Loop) und einen Digital-Analog-Umsetzer mit  
15 geringer Eingangswortbreite auf.

- Aus US 5,369,403 ist ein Sigma-Delta-Digital-Analog-Umsetzer mit kleinem Quantisierungsfehler bekannt, der einen ersten und zweiten digitalen Regelkreis zur Quantisierung aufweist.  
20 Der zweite digitale Regelkreis verarbeitet den Quantisierungsfehler des ersten digitalen Regelkreises. Die quantisierten Ausgangssignale des ersten und zweiten digitalen Regelkreises werden jeweils von einem ersten bzw. zweiten Digital-Analog-Umsetzer in ein erstes bzw. zweites analoges Signal  
25 umgesetzt. Das zweite analoge Signal wird analog gefiltert und zu dem ersten analogen Signal zu einem analogen Signal, das nur einen kleinen Quantisierungsfehler aufweist, addiert. Nachteilig ist dabei die aufwendige analoge Filterung des zweiten Signals und die fehlerbehaftete analoge Addition, die  
30 die Linearität des umgesetzten analogen Signals einschränkt.

- Das der Erfindung zugrundeliegende technische Problem besteht daher darin, eine Schaltungsanordnung zur Quantisierung digitaler Signale und Filterung des Quantisierungsrauschens anzugeben, die ausschließlich digitale Mittel aufweist und digi-  
35

digitale Mittel insbesondere bei einer Integration der Schaltungsanordnung auf einem monolithischen Bauelement einfacher als analoge Mittel zu verwenden.

- 5 Durch die digitale Filterung des Ausgangssignals jedes digitalen Regelkreises außer dem ersten digitalen Regelkreis und die Summation der Ausgangssignale jedes digitalen Regelkreises wird der Quantisierungsfehler des jeweils vorgeschalteten digitalen Regelkreises ausgelöscht. Übrig bleibt der Quanti-
- 10 sierungsfehler des letzten digitalen Regelkreises der Reihe, da diesem kein weiterer digitaler Regelkreis zur Auslöschung des Quantisierungsfehlers nachgeschaltet ist. Vorteilhaft ist dabei, daß auch Signale mit einer geringen Überabtastung des zugrundeliegenden Signals durch diese Schaltungsanordnung mit
- 15 einem sehr geringen Quantisierungsfehler quantisiert werden können. In einem solchen Fall wird das durch einen Quantisierungsfehler erzeugte Rauschspektrum effizient gefiltert und trotz der aufgrund einer niedrigen Abtastfrequenz naheliegen-
- 20 den Nutzspectren des abgetasteten Signals aus dem ursprünglichen Nutzspectrum des abgetasteten Signals ausgelöscht.

In einer bevorzugten Ausführungsform weist jedes digitale Filter ein Hochpaßfilter auf. Vorteilhafterweise wird dadurch

25 das Rauschspektrum, das durch den Quantisierungsfehler des letzten digitalen Regelkreises der Reihenschaltung verursacht wird, bei tiefen Frequenzen gedämpft und stört weniger die bei tiefen Frequenzen liegenden Spektralanteile eines Nutzs-

30 ignals.

In einer besonders bevorzugten Ausführungsform weist jedes digitale Filter zwei in Reihe geschaltete Differenzierer erster Ordnung auf. Von Vorteil ist der einfache Aufbau jedes digitalen Filters mit digitalen Mitteln. Es werden lediglich

- Figur 1 ein erstes Ausführungsbeispiel der erfindungsgemä-  
ßen Schaltungsanordnung zur Quantisierung digitaler  
Signale und Filterung des Quantisierungsrauschens;
- 5 Figur 2 ein zweites Ausführungsbeispiel der erfindungsgemä-  
ßen Schaltungsanordnung zur Quantisierung digitaler  
Signale und Filterung des Quantisierungsrauschens;
- Figur 3 ein drittes Ausführungsbeispiel der erfindungsgemä-  
10 ßen Schaltungsanordnung zur Quantisierung digitaler  
Signale und Filterung des Quantisierungsrauschens;  
und
- Figur 4 das Quantisierungsrauschspektrum eines Quantisie-  
15 rers ohne Noise-Shaping-Loop und einer Noise-  
Shaping-Loop erster und zweiter Ordnung.

In Figur 1 wird ein digitales Eingangssignal Input mit einer  
ersten Wortbreite von m-Bit einem ersten Multiplizierer 5 zu-  
20 geführt. Der erste Multiplizierer 5 multipliziert das Ein-  
gangssignal Input mit einem konstanten Faktor k, der kleiner  
als eins ist, und kann dazu beispielsweise als Schieberegis-  
ter aufgebaut sein. Durch die Multiplikation mit dem kon-  
stanten Faktor k wird der Wertebereich des Eingangssignals  
25 Input verringert, um einen Überlauf in den nachfolgenden  
Schaltungen zu vermeiden. Das Ausgangssignal des ersten Mul-  
tiplizierers 5 wird einem ersten digitalen Regelkreis 1 zuge-  
führt.

30 Der erste digitale Regelkreis weist einen ersten Addierer 10  
auf, der das dem ersten digitalen Regelkreis 1 zugeführte Si-  
gnal mit einem rückgekoppelten Signal addiert. Der Ausgang  
des Addierers 10 ist mit einem ersten Begrenzer oder Sättiger  
11 verbunden, der den Wertebereich eines zugeführten Signals  
35 auf eine Wortbreite von (m+s)-Bits anpaßt. Dem ersten Be-

Das erste Quantisierungsfehlersignal 71 wird einem zweiten Regelkreis 2 zugeführt.

- 5 Der zweite Regelkreis 2 ist als Noise-Shaping-Loop erster Ordnung aufgebaut und weist dazu einen zweiten Addierer 20 auf, der das erste Quantisierungsfehlersignal 71 als Eingangssignal mit einem zweiten gefilterten Quantisierungsfehlersignal 72, das eine Wortbreite von  $y$ -Bit aufweist, addiert. Das Ausgangssignal des zweiten Addierers 20 wird einem zweiten Begrenzer oder Sättiger 21 zur Anpassung der Wortbreite auf  $(x+r)$ -Bits und einem dem zweiten Begrenzer oder Sättiger 21 nachgeschalteten zweiten Quantisierer 22 zugeführt. Der zweite Quantisierer 22 trennt das zugeführte Signal in ein zweites quantisiertes Signal 9 mit den höherwertigen  $(x+r-y)$ -Bits und ein zweites Quantisierungsfehlersignal 72 mit den niederwertigen  $y$ -Bits des zugeführten Signals auf. Das zweite Quantisierungsfehlersignal 72 wird einem dritten Verzögerungsglied 23 zur Filterung zugeführt, dessen Ausgangssignal wiederum dem zweiten Addierer 20 zugeführt wird.

- Das zweite quantisierte Signal 9, das nun eine Wortbreite von  $(x+r-y)$ -Bit aufweist, wird einem digitalen Filter 3 zugeführt. Der digitale Filter 3 weist einen ersten und eine zweiten in Reihe geschalteten Differenzierer erster Ordnung auf. Der erste und zweite Differenzierer weist ein viertes Verzögerungsglied 30 bzw. ein fünftes Verzögerungsglied 32 und einen zweiten Subtrahierer 31 bzw. einen dritten Subtrahierer 33 auf. Die Übertragungsfunktion des digitalen Filters 3 entspricht einer Hochpaß-Übertragungsfunktion.

Das Ausgangssignal des digitalen Filters 3 wird mit dem Ausgangssignal des dritten Multiplizierers 6 in einem zweiten Addierer 4 zu einem Ausgangssignal Output der Schaltungsan-

Der zweite digitale Regelkreis 50 weist einen Addierer 51, einen dem Addierer 51 nachgeschalteten Quantisierer 52 und einen Rückkoppelpfad auf. Der Rückkoppelpfad weist wie der Rückkoppelpfad im ersten digitalen Regelkreis 1 ein erstes Verzögerungsglied 53, ein dem ersten Verzögerungsglied 53 nachgeschaltetes zweites Verzögerungsglied 55 und parallel dazu einen Multiplizierer 54 auf. Die Ausgangssignal des zweiten Verzögerungsgliedes 55 und des Multiplizierers 54 werden einem Subtrahierer 56 zugeführt, dessen Ausgangssignal dem Addierer 51 zur Addition mit dem Eingangssignal des zweiten digitalen Regelkreises zugeführt wird.

Der aufwendigere Aufbau des zweiten digitalen Regelkreises 50 (Im Vergleich zu dem Aufbau des zweiten digitalen Regelkreises 2 des ersten und zweiten Ausführungsbeispiels) ermöglicht eine niedrigere Abtastrate des zu quantisierende Signals bei einem Signal-Rausch-Verhältnis, das gleich dem Signal-Rausch-Verhältnis der Schaltungsanordnungen des ersten und zweiten Ausführungsbeispiels ist, des quantisierten Ausgangssignals.

Bei einem gewünschten Signal-Rausch-Verhältnis von 94 dB, einem 16 Bit Eingangssignal und einem 7 Bit Ausgangssignal der Schaltungsanordnung zur Quantisierung digitaler Signale und Filterung des Quantisierungsrauschens kann die Abtastrate des Eingangssignals von einer zwölffachen Überabtastung auf eine achtfache Überabtastung verringert werden.

Figur 4 zeigt das Quantisierungsrauschspektrum eines Quantisierers ohne Noise-Shaping-Loop und einer Noise-Shaping-Loop erster und zweiter Ordnung. Daraus ist erkennbar, daß zwar durch Noise-Shaping die Rauschleistung insgesamt etwas erhöht wird, aber bei niedrigen Frequenzen die Rauschleistung gegenüber einem einfachen Quantisierer ohne Noise-Shaping niedriger ist. Ein einem Digital-Analog-Umsetzer, der das quantisierte Signal in ein analoges Signal umsetzt, nachgeschalte-

## Patentansprüche

1. Schaltungsanordnung zur Quantisierung digitaler Signale und Filterung des Quantisierungsrauschens, wobei die Schaltungsanordnung eine Vielzahl von in Reihe geschalteten digitalen Regelkreisen (1, 2) mit Quantisierern (12, 22) aufweist und einem ersten Regelkreis (1) der Reihe die digitalen Signale, die eine erste Wortbreite von m-Bit aufweisen, zugeführt werden, wobei das Quantisierungsfehlersignal (71, 72) jedes Quantisierers (12, 22) im jeweiligen digitalen Regelkreis (1, 2) gefiltert und rückgekoppelt wird, und wobei das Quantisierungsfehlersignal (71, 72) jedes Quantisierers (12, 22) einem nachgeschalteten digitalen Regelkreis zugeführt wird,
- 15 dadurch gekennzeichnet, daß
- das quantisierte Ausgangssignal (8) des ersten digitalen Regelkreises (1) auf eine dritte Wortbreite von u-Bit, die kleiner als die erste Wortbreite ist, angepaßt wird;
  - die quantisierten Ausgangssignale (9) der digitalen Regelkreise (2) der Reihe außer dem quantisierten Ausgangssignal (8) des ersten digitalen Regelkreises (1) jeweils von einem digitalen Filter (3) gefiltert werden und mit dem quantisierten Ausgangssignal (8) des ersten digitalen Regelkreises (1) der Reihe zur Auslöschung der Quantisierungsfehler in einem
- 20 Addierer (4) addiert werden, dessen Ausgangssignal eine zweite Wortbreite von n-Bit aufweist und das quantisierte Ausgangssignal der Schaltungsanordnung ist.
- 25
2. Schaltungsanordnung nach Anspruch 1,
- 30 dadurch gekennzeichnet, daß
- jedes digitale Filter (3) ein Hochpaßfilter aufweist.
3. Schaltungsanordnung nach einem der vorhergehenden Ansprüche,

1/4

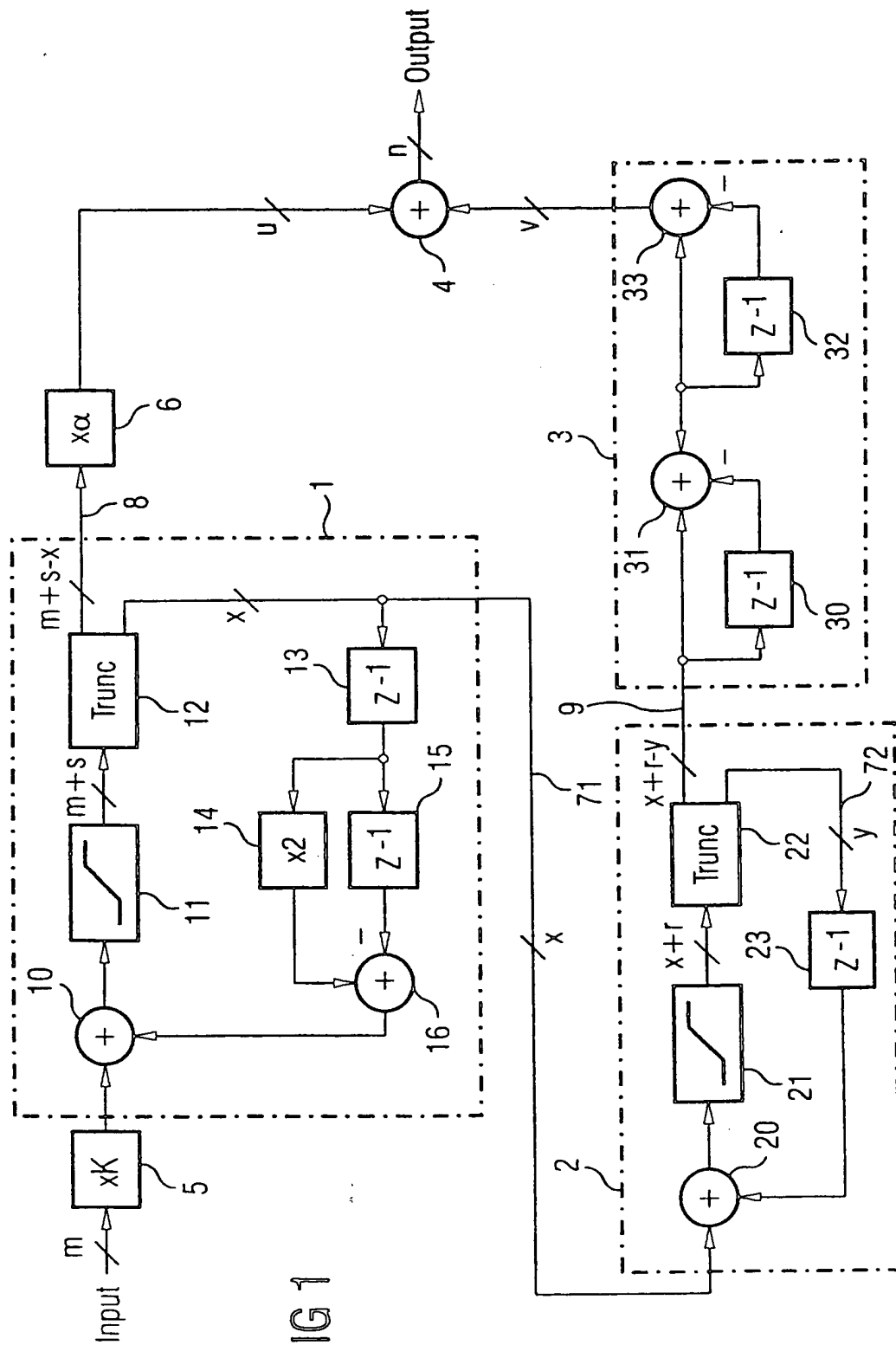


FIG 1



3/4

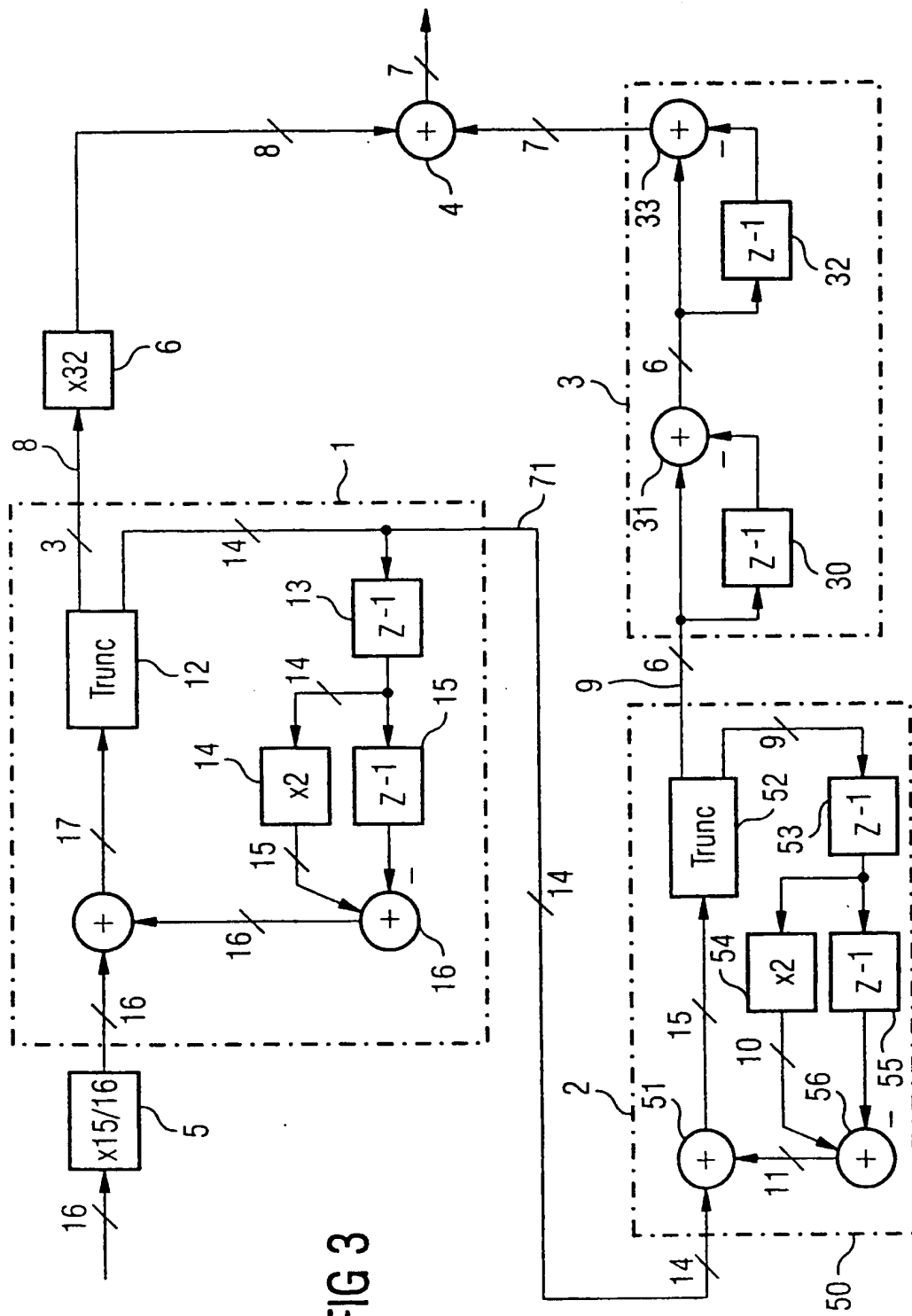


FIG 3

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 99/03632

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H03M7/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 H03M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 197 22 434 C (SIEMENS AG) 1 October 1998 (1998-10-01) figure 1	1
A	US 5 369 403 A (TEMES GABOR C ET AL) 29 November 1994 (1994-11-29) cited in the application figures 1-3	1
<input type="checkbox"/> Further documents are listed in the continuation of box C. <span style="margin-left: 100px;"><input checked="" type="checkbox"/> Patent family members are listed in annex.</span>		
* Special categories of cited documents :		
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&amp;" document member of the same patent family</p> </div> </div>		
Date of the actual completion of the international search  <div style="text-align: center; font-size: 1.2em;">26 April 2000</div>		Date of mailing of the international search report  <div style="text-align: center; font-size: 1.2em;">04/05/2000</div>
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  <div style="text-align: center; font-size: 1.2em;">Beindorff, W</div>